

**Family list**

1 family member for: **JP62209514**

Derived from 1 application

**1 ACTIVE MATRIX SUBSTRATE**

**Inventor:** MANO TOSHIHIKO; MIYASAKA  
TSUGUMITSU

**Applicant:** SEIKO EPSON CORP

**EC:**

**IPC:** G02F1/136; G02F1/1368; G02F1/1362 (+4

**Publication info:** **JP62209514 A** - 1987-09-14

Data supplied from the **esp@cenet** database - Worldwide

Scanned  
7/10/2008

English Translation of JP 62-209514

(19) Japan Patent Office (JP)

(12) Laid-Open Disclosure Public Patent Bulletin (A)

(11) Patent Application Laid-Open Disclosure No.: S62-209514

(43) Publication Date: September 14, 1987

(51) Int. Cl. <sup>4</sup>	Identification Symbol	JPO File Number
G02F 1/133	327	8025-2H
G09F 9/30		6731-5C

Request for Examination: Not made

Number of Claims: 1 (3 Pages in Total)

(54) Title of the Invention: Active Matrix Substrate

(21) Patent Application No.: S61-52844

(22) Patent Application Date: March 11, 1986

(72) Inventor: Toshihiko MANO

c/o Seiko Epson Corporation

3-3-5, Yamato, Suwa-shi

(72) Inventor: Tsugumitsu MIYASAKA

c/o Seiko Epson Corporation

3-3-5, Yamato, Suwa-shi

(71) Applicant: Seiko Epson Corporation

2-4-1, Nishi-Shinjuku, Shinjuku-ku, Tokyo

(74) Agent: Patent Attorney: Mogami Tsutomu, and one other

Specification

Title of the Invention

Active Matrix Substrate

## Scope of Claim

An active matrix substrate characterized by comprising:

- a) a plurality of gate lines;
- b) a plurality of source lines orthogonal to the plurality of gate lines;
- c) a thin film transistor having a thin film semiconductor layer formed at an intersection of the gate line and the source line;
- d) a pixel electrode formed at a drain side of the thin film transistor,

wherein the source line is made of two layers of the gate line material and the pixel electrode material.

## Detailed Description of the Invention

### [Industrial Field of the Invention]

The present invention aims at reducing a wiring resistance, especially by providing a two-layer source line in an active matrix substrate used in a liquid crystal display device, and so forth.

### [Prior Art]

FIG 2(a) shows a plan view of one pixel of the conventional active matrix substrate. Also, FIG 2(b) shows a cross sectional view shown by the broken line A'B' in FIG 2(a). An explanation is made in accordance with the drawings.

An island-like semiconductor thin film layer 201 is formed over an insulating substrate 200 such as a glass or quartz. After forming a gate insulating film over the semiconductor thin film layer, a gate line 202 also serving as a gate electrode is formed. After that, source and drain regions are formed by, for example, an ion implantation method or the like. Next, an interlayer insulating film 203 is formed over an entire surface, and a contact hole 204 is provided. Finally, a transparent conductive film such as ITO is formed by a sputtering method, etc., and a source line and a pixel electrode are formed by patterning.

The processes and the structure of the conventional active matrix substrate have been shown above.

**[Problem to be Solved by the Invention]**

However, in the conventional structural processes, since the source line is formed of the same material as the pixel electrode, a sheet resistance becomes higher, so that a wiring resistance of the source line becomes higher. For example, when ITO is used while keeping its transparency of 80% or more, the sheet resistance is 10-20  $\Omega/\square$ , which is one to two digits higher than that of metal materials such as Al. If the ITO is used as the source line, the wiring resistance will be several dozen k $\Omega$  though it depends on L/W. High wiring resistance in the source line can cause insufficient contrast and resolution of a liquid crystal display device since sufficient signals cannot be written in. Further, when a metal wiring having a lower sheet resistance is used, the number of processes increases, which can lead to cost increase.

The present invention aims at decreasing the source line without increasing the number of processes by removing the above disadvantages. Concretely, a material used for a gate line is formed in a source line region excluding a region intersecting the gate line at the PE process, and finally, the source line made of pixel electrode material such as ITO is formed of two-layer structure having contacts with the material.

**[Means for Solving the Problem]**

The active matrix substrate of the present invention typically comprises:

- 1) a plurality of gate lines;
  - 2) a plurality of source lines orthogonal to the plurality of gate lines;
  - 3) a thin film transistor having a thin film semiconductor layer formed at an intersection of the gate line and the source line;
  - 4) a pixel electrode formed at a drain side of the thin film transistor,
- wherein the source line is made of two layers of the gate line material and the pixel electrode material.

**[Embodiment]**

The active matrix substrate of the present invention is basically shown by a plan view and a cross sectional view in FIGS. 1(a) and (b). Here, 100 is an insulating substrate such as a glass or

quartz; 101 is a semiconductor thin film constituting a thin film transistor; 102 is a gate line; 102' is a first layer of the two-layer source line, which has the same material as the gate line; 103 is an interlayer insulating film; 104 is a contact hole formed in the interlayer insulating film; 105' is a transparent conductive film such as ITO constituting a pixel electrode; 105 is a second layer of the source line made of the same material as the pixel electrode. Here, FIG. 1(a) shows a plan view of one pixel and FIG. 1(b) shows a cross sectional view shown by the broken line AB in FIG. 1(a). FIG. 3 is explained as follows in accordance with process orders.

First, an island-like semiconductor thin film 101 such as polycrystalline silicon is formed over an insulating substrate 100 such as a glass or quartz. A gate insulating film 101' is formed thereon by a thermal oxidation, etc (FIG. 3(a)).

Next, a gate wiring 102 and a first layer of a source line 102' are formed of polycrystalline silicon or the like having an impurity of H-type (or P-type), and source / drain regions are formed by an ion implantation method, etc (FIG. 3(b)).

Next, an interlayer insulating film 103 such as HSG or PSG is formed over an entire surface, and then a contact hole 104 is formed at the source / drain regions and on the first layer of the source line (FIG. 3(c)).

Finally, a pixel electrode 105' and the second layer of the source line 105 are formed of a transparent conductive film such as ITO (FIG. 3(d)).

The structure and the manufacturing process of the active matrix substrate in accordance with the present invention have been shown above.

#### [Effect of the Invention]

The effect of the present invention is that it is possible to lower the wiring resistance by increasing one step and making the source wiring the two-layer structure, and actually, the wiring resistance reduced by about 50% compared to the conventional wiring resistance. As a result, the problems such as insufficient contrast and resolution when used in a liquid crystal display were eliminated.

# Brief Description of Drawings

FIG. 1 is a plan view (a) and a cross sectional view (b) of one pixel of the active matrix substrate in accordance with the present invention.

FIG. 2 is a plan view (a) and a cross sectional view (b) of one pixel of a conventional active matrix substrate.

FIGS. 3(a) to (d) show a cross sectional view of each process in accordance with the present invention.

- |                                   |                                   |
|-----------------------------------|-----------------------------------|
| 100 ~ insulating substrate        | 101 ~ semiconductor thin film     |
| 101' ~ gate insulating film       |                                   |
| 102 ~ gate line                   | 102' ~ first layer of source line |
| 103 ~ interlayer insulating film  |                                   |
| 104 ~ contact hole                |                                   |
| 105 ~ second layer of source line |                                   |
| 105' ~ pixel electrode            |                                   |

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 昭62-209514

⑫ Int.Cl.<sup>4</sup>

G 02 F 1/133  
G 09 F 9/30

識別記号

3 2 7

庁内整理番号

8205-2H  
6731-5C

⑬ 公開 昭和62年(1987)9月14日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 アクティブマトリクス基板

⑮ 特 願 昭61-52844

⑯ 出 願 昭61(1986)3月11日

⑰ 発 明 者 真 野 敏 彦 諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑱ 発 明 者 宮 坂 雄 光 諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社

⑳ 代 理 人 弁理士 最 上 務 外1名

明 細 書

発明の名称

アクティブマトリクス基板

特許請求の範囲

- a) 複数のゲート線
- b) 該ゲート線に直交する複数のソース線
- c) 該ゲート線と該ソース線の交点に形成される  
薄膜半導体層を有する薄膜トランジスタ
- d) 該薄膜トランジスタのドレイン側に形成され  
る画素電極

以上の如く構成されるアクティブマトリクス基板に於いて、該ソースラインは、該ゲート線材料と、該画素電極材料の2層から成ることを特徴とするアクティブマトリクス基板。

発明の詳細な説明

(産業上の利用分野)

本発明は、液晶表示装置等に用いられるアクティブマトリクス基板に於いて、特にソース線を2

層にすることにより、配線抵抗の低減も図ったものである。

(従来の技術)

従来のアクティブマトリクス基板の1画素分の平面図を第2図(a)に示す。又、同図に於いてA・Bの破線で示す断面図を第2図(b)に示す。断面に於いて説明する。

ガラス、石英等の絶縁基板200上に島状に半導体薄膜層201を形成する。ゲート絶縁膜を該半導体薄膜上に形成した後、ゲート電極を兼ねるゲート線202を形成する。しかる後、例えばイオン注入法等によりソース、ドレイン領域を形成する。次に、層間の絶縁膜203を全面に形成し、コンタクトホール204を開ける。最後にITO等の透明導電膜を、スパッタ法等で形成し、ソース線、画素電極をパターン形成する。

以上が従来のアクティブマトリクス基板の工程、及び構造である。

(発明が解決しようとする問題点)

しかし従来の構造工程では、ソース線を画素電

特開昭62-209514 (2)

画と同一の材料で形成する為、シート抵抗が大きくなり、従ってソース線の配線抵抗が大きくなる。例えば、ITOで形成した場合、透過率80%以上を保った時のシート抵抗は10~20Ω/□であり、金属材料、例えばAu等と比して1桁~2桁大きい。ソース線に用いた場合、Auにも劣るが通常数10KΩの配線抵抗となってしまう。ソース線の配線抵抗が大きいと、十分に信号を書き込めない為液晶表示装置の場合、コントラスト不足、残像度不足の原因となる。又、シート抵抗の小さい金属配線を用いると、工程が増し、コストアップの原因となる。

そこで本発明は以上の如き欠点をなくし、工程を増すことなく、ソースラインの低抵抗を図ることを目的とする。具体的には、ゲート線に用いる材料を2層工程時に、ゲート線と交差する領域以外のソース線領域に形成し、最終的にITO等の画素電極材料で形成するソース線とコンタクトを有する2層配線構造にするものである。

(問題点を解決する為の手段)

は層間絶縁膜に形成されるコンタクトホール、105'は画素電極を構成するITO等の透明導電膜、105は、画素電極と同一材料で形成される2層目のソース線である。ここで第一図(a)は一面米分の平面図であり、第一図(b)は第一図(a)に於けるA-Bの破線で示す断面図である。

以下工程順に従って、第3図に於いて説明する。

まず、ガラス、石英等の絶縁基板100上に、多結晶シリコン等の半導体薄膜101を島状に形成する。その上に熱酸化等によるゲート絶縁膜101'を形成する(第3図(a))

次に、H型(あるいはP型)の不純物を有する多結晶シリコン等により、ゲート配線102、及び一層目のソースライン102'を形成、その後イオン注入法等によりソース、ドレイン領域を形成する。(第3図(b))

次にH型、P型等の層間絶縁膜103を全面に形成、しかる後、ソース、ドレイン領域、及び1層目のソース線上にコンタクトホール104を形成する。(第3図(c))

本発明のアタティブマトリクス基板は、具体的には、

- 1)複数のゲート線
- 2)該ゲート線に直交する複数のソース線
- 3)該ゲート線と該ソース線の交点に形成される薄膜半導体層を有する薄膜トランジスタ
- 4)該薄膜トランジスタのドレイン側に形成される画素電極

以上から構成されるアタティブマトリクス基板であり、該ソースラインは、該ゲート線材料と該画素電極材料の2層構造であることを特徴とするものである。

(実施例)

本発明によるアタティブマトリクス基板は、基本的には第1図(a)、(b)に示す、平面図、及び断面図から成る。ここで、100はガラス、石英等の絶縁基板、101は、薄膜トランジスタを構成する半導体薄膜、102は、ゲート線、102'はゲート線と同一材料である、2層ソース線構造の1層目であり、103は層間絶縁膜である。104

最終に、ITO等の透明導電膜により、画素電極105'、2層目のソースライン105を形成する。(第3図(d))

以上が、本発明によるアタティブマトリクス基板の、構造及び製造方法である。

(発明の効果)

本発明の効果は、工程を増すことは1に、ソース線を2層構造にすることにより、配線抵抗を小さくできることであり、実際に従来の配線抵抗を約50%小さくすることができた。その結果、液晶表示装置に用いた時の、コントラスト不足、残像度不足の問題をなくすことができた。

図面の簡単な説明

第1図は本発明のアタティブマトリクス基板の一面米分を示す平面図(a)と、断面図(b)である。

第2図は従来のアタティブマトリクス基板の一面米分を示す平面図(c)と、断面図(d)である。

第3図(a)~(d)は本発明の工程ごとの断面図を示したものである。



